

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Masanobu OGINO, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR SUBSTRATE AND METHOD OF MANUFACTURE THEREOF

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.

☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2002-333682	November 18, 2002
Japan	2003-101614	April 4, 2003

Certified copies of the corresponding Convention Application(s)

☒ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

☐ were filed in prior application Serial No. filed

☐ were submitted to the International Bureau in PCT Application Number

Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

☐ (B) Application Serial No.(s)

☐ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Norman F. Oblon

Registration No. 24,618

C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2002年11月18日

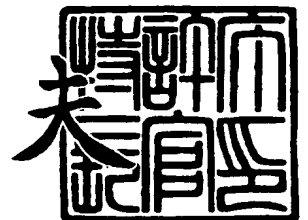
出願番号
Application Number: 特願2002-333682
[ST. 10/C]: [JP2002-333682]

出願人
Applicant(s): 東芝セラミックス株式会社
株式会社東芝

2003年11月 5日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



【書類名】 特許願

【整理番号】 A000204132

【提出日】 平成14年11月18日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/205

【発明の名称】 半導体基板およびその製造方法

【請求項の数】 7

【発明者】

【住所又は居所】 新潟県岩船郡関川村辰田新 2 7 8 関川東芝セラミックス株式会社内

【氏名】 荻野 正信

【発明者】

【住所又は居所】 新潟県岩船郡関川村辰田新 2 7 8 関川東芝セラミックス株式会社内

【氏名】 須藤 義勝

【発明者】

【住所又は居所】 兵庫県姫路市余部区上余部 5 0 番地 株式会社東芝姫路工場内

【氏名】 馬場 嘉朗

【特許出願人】

【識別番号】 000221122

【氏名又は名称】 東芝セラミックス株式会社

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】**【予納台帳番号】** 011567**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 9105409**【包括委任状番号】** 9705037**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 半導体基板およびその製造方法

【特許請求の範囲】

【請求項 1】 不純物を低濃度で含有する低濃度基板の上面全体に、該低濃度基板よりも不純物濃度の高い高濃度不純物拡散層を形成し、この高濃度不純物拡散層の上面全体に該高濃度不純物拡散層より不純物を低濃度で含有するエピタキシャル層を形成したことを特徴とする半導体基板。

【請求項 2】 前記不純物が燐またはボロンである請求項 1 に記載の半導体基板。

【請求項 3】 前記高濃度不純物拡散層とエピタキシャル層の厚さの和が $50\text{ }\mu\text{m}$ 以上である請求項 1 または 2 に記載の半導体基板。

【請求項 4】 前記エピタキシャル層の抵抗値が $10\text{ }\Omega\cdot\text{cm}$ 以下である請求項 1 ないし 3 のいずれかに記載の半導体基板。

【請求項 5】 不純物を低濃度で含有する低濃度基板のいずれか一方の面に該低濃度基板よりも不純物濃度の高い高濃度不純物拡散層を形成する工程と、主面となる高濃度不純物拡散層を形成した面を鏡面研磨する工程と、この鏡面研磨した高濃度不純物拡散層の上に該高濃度不純物拡散層より不純物を低濃度で含有するエピタキシャル層を形成する工程とからなることを特徴とする半導体基板の製造方法。

【請求項 6】 不純物を低濃度で含有する低濃度基板の一方の面を鏡面研磨する工程と、この鏡面研磨した面に前記低濃度基板よりも不純物濃度の高い高濃度不純物拡散層を形成する工程と、この高濃度不純物拡散層の上に該高濃度不純物拡散層より不純物を低濃度で含有するエピタキシャル層を形成する工程とからなることを特徴とする半導体基板の製造方法。

【請求項 7】 一方の面を鏡面研磨した低濃度基板の両面に酸化膜を形成する工程と、低濃度基板の鏡面研磨した面の酸化膜を除去する工程と、酸化膜を除去した鏡面に高濃度不純物拡散層を形成する工程と、この高濃度不純物拡散層の上に該高濃度不純物拡散層より不純物を低濃度で含有するエピタキシャル層を形成する工程とからなることを特徴とする半導体基板の製造方法。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

この発明は半導体基板およびその製造方法に関し、特に個別半導体製造に用いられる半導体基板に関するものである。

【0002】**【従来の技術】**

一般に、シリコンウェーハを用いたバイポーラ型トランジスタあるいはパワー MOSFET と称される個別半導体素子には、砒素、アンチモン、燐、ボロン等の不純物を高濃度に含み表面を鏡面加工した高濃度基板の上層に、低濃度の不純物を含むシリコンエピタキシャル層を形成した半導体基板が多く用いられている。

【0003】

しかし、このような高濃度基板を製造するには、チョクラルスキー法等による単結晶育成時に、より多くの不純物を添加させる必要があり、固溶限ぎりぎりの高濃度不純物を添加すると単結晶育成は難しく歩留が悪かった。また、偏析と呼ばれる現象により物理的に結晶の長さ方向に亘って、均一な濃度、すなわち均一な抵抗を有する結晶をロット内で育成させることが難しかった。こうしたことから、高濃度基板は製造上コストが高いものとなっていた。

【0004】

また、このような高濃度基板は、エピタキシャル成長時において、裏面側の高濃度半導体層が剥き出しとなって裏面側から不純物が外方拡散し、表面のデバイス面に回り込んでしまう不具合が生じるため、一般的に不純物の外方拡散防止を目的として、裏面側に保護膜（酸化膜またはポリシリコン膜）を形成する必要がある、更に製造コストの高いものとなっていた。

【0005】**【発明が解決しようとする課題】**

この発明は、低濃度の不純物を含有する低濃度基板に高濃度不純物拡散層を形成し、その上層に基板の高濃度不純物拡散層より低濃度の不純物を含有するエピ

タキシャル層を形成することで、デバイス面で必要となる表面層にロット間で均一な抵抗を有する高品質な結晶を形成することができ、しかも、高濃度不純物拡散層からの不純物の外方拡散を防ぐための保護膜を必要としないで、低コストで製造可能な半導体基板を得ようとするものである。

【0 0 0 6】

【課題を解決するための手段】

この発明は、不純物を低濃度で含有する低濃度基板の上面全体に、該低濃度基板よりも不純物濃度の高い高濃度不純物拡散層を形成し、この高濃度不純物拡散層の上面全体に該高濃度不純物拡散層より不純物を低濃度で含有するエピタキシャル層を形成したことを特徴とする半導体基板（請求項 1）、前記不純物が燐またはボロンである請求項 1 に記載の半導体基板（請求項 2）、前記高濃度不純物拡散層とエピタキシャル層の厚さの和が $50\ \mu\text{m}$ 以上である請求項 1 または 2 に記載の半導体基板（請求項 3）、前記エピタキシャル層の抵抗値が $10\ \Omega \cdot \text{cm}$ 以下である請求項 1 ないし 3 のいずれかに記載の半導体基板（請求項 4）、不純物を低濃度で含有する低濃度基板のいずれか一方の面に該低濃度基板よりも不純物濃度の高い高濃度不純物拡散層を形成する工程と、主面となる高濃度不純物拡散層を形成した面を鏡面研磨する工程と、この鏡面研磨した高濃度不純物拡散層の上に該高濃度不純物拡散層より不純物を低濃度で含有するエピタキシャル層を形成する工程とからなることを特徴とする半導体基板の製造方法（請求項 5）、不純物を低濃度で含有する低濃度基板の一方の面を鏡面研磨する工程と、この鏡面研磨した面に前記低濃度基板よりも不純物濃度の高い高濃度不純物拡散層を形成する工程と、この高濃度不純物拡散層の上に該高濃度不純物拡散層より不純物を低濃度で含有するエピタキシャル層を形成する工程とからなることを特徴とする半導体基板の製造方法（請求項 6）及び一方の面を鏡面研磨した低濃度基板の両面に酸化膜を形成する工程と、低濃度基板の鏡面研磨した面の酸化膜を除去する工程と、酸化膜を除去した鏡面に高濃度不純物拡散層を形成する工程と、この高濃度不純物拡散層の上に該高濃度不純物拡散層より不純物を低濃度で含有するエピタキシャル層を形成する工程とからなることを特徴とする半導体基板の製造方法（請求項 7）である。即ち、この発明は、低濃度の不純物を含有した低濃度

基板を用いて拡散法により高濃度不純物拡散層を形成し、その表面にエピタキシャル層を形成させるようにしたものである。

【0 0 0 7】

この発明に類似した先行技術として特開昭 5 9 - 3 5 4 2 1 号が提案されている。この先行技術は、半導体基板の表面に不純物拡散層を形成した後、該不純物拡散層の表面を機械的、かつ化学的に鏡面研磨して所定厚さだけを取り除き、この鏡面研磨後の不純物拡散層の上に高濃度の不純物を含有するエピタキシャル層を形成したサイリスタ用半導体基板の製造方法である。そして、この発明の実施例では、基板表面に不純物拡散層を得るために両面に酸化膜を形成し、その酸化膜を通して加速電圧 140 KeV でドーズ量 $7 \times 10^{14}/\text{cm}^2$ の燐をウェーハ内にイオン注入した後、窒素と酸素との混合ガス中において 1260°C で約 50 時間かけてウェーハ内に燐を拡散させる。その後、表面を珪酸パウダーを用いて機械的かつ化学的に鏡面研磨して燐拡散層の表面を $5\text{ }\mu\text{m}$ 取り除き、鏡面研磨後のウェーハ表面にエピタキシャル成長により比抵抗 $0.1\text{ }\Omega\text{cm}$ の N 型単結晶のエピタキシャル層を形成することが記載されている。

【0 0 0 8】

しかしながら、この先行技術はサイリスタ用半導体基板の製造において、無欠陥のエピタキシャル層を形成するためのもので、基板に予め拡散層を形成した後該拡散層を機械的かつ化学的に研磨してその上にエピタキシャル層を形成すると、無欠陥のエピタキシャル層が形成されるということを見出してなされた発明で、本発明とは目的および技術思想が全く異なるものである。

【0 0 0 9】

また、この先行技術の実施例では、基板上に高濃度不純物拡散層を形成する手段として、ドーズ量 $7 \times 10^{14}/\text{cm}^2$ のイオン注入を行ない、これを高温熱処理して拡散している。そしてこの上に比抵抗 $0.1\text{ }\Omega\text{cm}$ のエピタキシャル層を形成しているが、これはドーズ量からすると下層の基板の方が上層のエピタキシャル層より不純物濃度が低い半導体基板が得られるものと考えられ、高濃度不純物が拡散した基板の上にこの高濃度不純物拡散層より不純物を低濃度で含有するエピタキシャル層を形成する本発明とは、不純物濃度の関係が逆となって本発

明と構成もまったく異なるものである。なお、不純物拡散層をより高濃度にするためには、イオン注入時高ドーズのイオン量を長時間照射すれば、高濃度不純物拡散層の基板は得られるが、生産性が悪く製造コストも高いものとなる。

【0010】

【発明の実施の形態】

図1は、この発明の一実施例におけるパワーデバイス用基板の断面図である。図1で10は低濃度不純物が含有した低濃度基板である。この低濃度の不純物基板10は、通常チョクラルスキー法等の単結晶育成時において、N型では主に燐、アンチモン、砒素、P型ではボロンなどを添加して円柱状の単結晶インゴットを引上げスライスして作成する。

【0011】

そして、この基板10に同タイプの高濃度不純物を拡散法で拡散させて高濃度不純物拡散層2を形成して高濃度不純物層形成基板1とする。なお、図中のN、Pは半導体のタイプを表し、+記号はそのタイプの不純物濃度が高いことを示している。さらにこの場合、高濃度不純物拡散層2の厚さは、低濃度不純物基板10の厚さよりも小さくすることが望ましい。次いで、この状態で高濃度不純物層形成基板1の高濃度不純物拡散層2の上層に、該高濃度不純物拡散層2より低濃度の不純物を含有したエピタキシャル層3を形成してこの発明の半導体基板とするものである。

【0012】

なお、この発明の低濃度基板10の不純物濃度は、半導体デバイス工程流動時に外方拡散などでエピタキシャル層3の抵抗に影響を与えない程度の濃度でよい。従来の高濃度基板に比べ低価格でこの基板を製造することが可能である。エピタキシャル層3に影響を与えないような低濃度基板10の不純物濃度は、エピタキシャル層3の不純物濃度の10倍以下が好ましい。

【0013】

この発明では、拡散法で高濃度不純物拡散層2を形成するため、従来の高濃度基板のような結晶育成時の偏析の影響を受けることがなく、ロット内で均一な抵抗分布を得ることができる。また、この発明では、高濃度不純物層形成基板1の

裏面 4 まで高濃度拡散層 2 が達していないために、エピタキシャル成長時、または半導体素子工程流動時に基板裏面からの不純物の回り込みはなく、裏面保護膜形成等の余分な工程を簡略化できる。

【0014】

なお、高濃度不純物層形成基板 1 の非拡散部分 1' は、半導体素子製造後も残存した場合に素子の特性が悪化してしまうが、一般的に素子製造プロセス最終工程で研削除去されるため問題はない。研削除去後の基板は、その厚さが薄すぎるとその後の工程で割れを引き起こすので一定以上の厚さが必要とされており、その値は $50\text{ }\mu\text{m}$ 以上とされている。本発明においても、エピタキシャル層 3 の厚さと高濃度拡散層 2 の厚さの和は $50\text{ }\mu\text{m}$ 以上が好ましい。

【0015】

この発明の半導体基板の製造方法の一例は、一方の面が鏡面研磨された低濃度基板の裏面に保護膜を形成後、主面、すなわち鏡面研磨した面に高濃度不純物拡散層を形成するものである。この高濃度拡散層の形成は、従来公知である方法が適用され、例えば半導体基板を電気炉内に挿入し、これに酸素、窒素、 POCl_3 ガスの混合ガス雰囲気中で熱処理し、さらにより高熱で熱処理を行うことで高濃度不純物拡散層を形成する。次に、高濃度不純物拡散層の上層に、該高濃度不純物拡散層より低濃度の不純物を含有するエピタキシャル層を形成してこの発明の半導体基板とする。エピタキシャル層形成は、例えばシリコン源として SiHCl_3 、キャリアガス H_2 、不純物添加ガス PH_3 を用いて従来公知な方法で行う。

【0016】

この発明の別の製造方法の事例は、両面がエッチング処理された低濃度基板の両面に高濃度不純物拡散層を形成する。この高濃度不純物拡散層の形成は、上述した方法と同様に、例えば、半導体基板を電気炉内に挿入し、これに酸素、窒素、 POCl_3 ガスの混合ガスを導入して熱処理し、さらにより高温で熱処理を行う。次に、一方の面の高濃度不純物拡散層を除去し、他方の主面となる高濃度不純物拡散層の表面を鏡面研磨し、その上層に該高濃度不純物拡散層より低濃度の不純物を含有するエピタキシャル層を形成する。エピタキシャル層形成は、上述

した方法と同様に、例えばシリコン源として SiHCl_3 、キャリアガス H_2 、不純物添加ガス PH_3 を用いて従来公知な方法で行う。

【0017】

また、本発明では、使用する不純物は拡散速度の速い不純物を用いた方が好ましく、N型では磷、P型ではボロンがよい。P型不純物については、アルミニウムがボロンより拡散係数が大であるが、シリコン半導体の場合は固溶限がボロンより一桁以上も小さいので、シリコン半導体P型ではボロンが好ましい。なお、本発明のパワーデバイス用基板は、その素材がシリコンに限らず、ゲルマニウム半導体等の他の半導体素材にも適用可能である。

【0018】

更に、本発明においては、図1(A)に示すように低濃度基板と高濃度不純物拡散層がN型でエピタキシャル層もN型、また低濃度基板と高濃度不純物拡散層がP型でエピタキシャル層もP型の半導体基板の他に、図1(B)に示すような、低濃度基板と高濃度不純物拡散層がN型でエピタキシャル層がP型、またはその反対の構造の例えばIGBT等のようなパワーデバイスにも適用が可能である。

【0019】

【実施例】

(実施例1)

図2-aに示すように、口径150mm、比抵抗約 $10\Omega\cdot\text{cm}$ 、厚さ625 μm の表面が鏡面研磨されたN型半導体基板5を熱処理して、酸化膜6₁、6₂を半導体基板5の両面に形成した。次に、この半導体基板5の表面、すなわち研磨面側の酸化膜6₁だけを除去して、温度1200℃に保持された電気炉に挿入し、炉内に酸素、窒素及び POCl_3 ガスを導入し、180分間熱処理して、その表面に高濃度不純物拡散層7を形成した(図2-b)。その後、上記熱処理で表裏面に付着された磷ガラス8を酸エッチングで除去した(図2-c)。このときに高濃度不純物拡散層7のシート抵抗は $0.3\Omega/\square$ であった。この半導体基板を微量の酸素を含むアルゴンガス雰囲気中、1290℃で300時間熱処理し、高濃度不純物拡散層をさらに深くまで拡散させた高濃度不純物拡散層9を形成

した(図2-d)。この時点での高濃度不純物拡散層9の深さを測定したところ $220\mu\text{m}$ であった。その後、基板5の裏面の酸化膜6₂を除去し(図2-e)、続いて高濃度不純物拡散層側の表面に厚さ $10\mu\text{m}$ 、比抵抗 $10\Omega\cdot\text{cm}$ のN型の不純物が添加されたシリコンエピタキシャル層10を形成した(図2-f)。このときのエピタキシャル成長条件は、シリコン源として SiHCl_3 、キャリアガス H_2 、不純物添加用ガス PH_3 、成長温度が 1150°C で、エピタキシャル成長速度は平均 $1.5\mu\text{m}/\text{分}$ であった。また、この半導体基板の高濃度不純物拡散層9において、抵抗 $2\text{m}\Omega\cdot\text{cm}$ 以下の厚さ領域は約 $70\mu\text{m}$ であった。

【0020】

(実施例2)

図3-aに示すように、口径 150mm 、比抵抗 $10\Omega\cdot\text{cm}$ 、厚さ $900\mu\text{m}$ で表裏面が化学エッチングされたN型半導体基板11を、温度 1200°C に保持された電気炉に挿入し、炉内に酸素、窒素及び POCl_3 ガスを導入し、180分間熱処理して、N型半導体基板11の両面に高濃度不純物拡散層12₁、12₂を形成した(図3-b)。上記熱処理で表裏面に付着された燐ガラス層13を酸エッチングで除去した(図3-c)。このときの高濃度不純物拡散層12₁、12₂のシート抵抗は $0.3\Omega/\square$ であった。この半導体基板をアルゴンガス雰囲気中、 1290°C で300時間熱処理し、不純物をさらに深くまで拡散した高濃度不純物拡散層14₁、14₂を形成した(図3-d)。この時の高濃度不純物拡散層14₁の深さを測定したところ $223\mu\text{m}$ であった。その後、半導体基板の一方の高濃度不純物拡散層側(図中では14₂)を $300\mu\text{m}$ 、デバイス面となる高濃度不純物拡散層側(図中では14₁)の面を $10\mu\text{m}$ 、それぞれダイヤモンド等が電着された砥石により研削除去し、その両面に研削時のダメージ層を除去するため化学エッチングにより片面ずつ $5\mu\text{m}$ 除去し、その後、デバイス面となる高濃度拡散層側14₁を鏡面研磨した(図3-e)。続いて鏡面研磨した面に厚さ $10\mu\text{m}$ 、比抵抗 $10\Omega\cdot\text{cm}$ のN型の不純物が添加されたシリコンエピタキシャル層15を形成した(図3-f)。この時のエピタキシャル成長条件は、シリコン源として SiHCl_3 、キャリアガス H_2 、不純物添加用ガスP

H₃、成長温度が1150℃で、エピタキシャル成長速度は平均1.5 μm/分であった。また、この半導体基板の高濃度不純物拡散層14₁において、抵抗2 mΩ・cm以下の厚さ領域は約50 μmであった。

【0021】

(実施例3)

図4-aに示すように、口径150 mm、比抵抗15 Ω・cm、厚さ900 μmで両面が化学エッチングされたP型半導体基板16の表裏面にB₂O₃粉末を塗布し、ついでこれを温度1280℃に保持された電気炉に挿入し、炉内に酸素を導入して240分熱処理を行い、半導体基板16の表裏面に高濃度不純物拡散層17₁、17₂を形成した(図4-b)。その後、上記熱処理で表裏面に付着されたボロンガラス層18をフッ酸で除去した(図4-c)。

【0022】

この半導体基板をアルゴンガス雰囲気中、1290℃で180時間熱処理し、不純物をさらに拡散させた高濃度不純物拡散層19₁、19₂を形成した(図4-d)。このときの高濃度不純物拡散層19₁の厚さを測定したところ230 μmであった。その後、半導体基板の一方の高濃度不純物拡散層側(図中では19₂)を300 μm、デバイス面となる高濃度不純物拡散層側(図中では19₁)を10 μm、それぞれダイヤモンド等が電着された砥石により研削除去し、その両面のダメージ層を化学エッチングにより片面5 μm除去した後、デバイス面となる高濃度拡散層側19₁を鏡面研磨した(図4-e)。

【0023】

続いて鏡面研磨した面に厚さ10 μm、比抵抗10 Ω・cmのP型の不純物が添加されたシリコンエピタキシャル層20を形成させた(図4-f)。この時のエピタキシャル成長条件は、シリコン源としてSiHCl₃、キャリアガスH₂、不純物添加用ガスB₂H₆、成長温度が1150℃で、エピタキシャル成長速度は平均1.5 μm/分であった。また、この基板で高濃度不純物拡散層19₁において、抵抗2 mΩ・cm以下の厚さ領域は約50 μmであった。

【0024】

なお、上記、実施例1、2では、拡散ソースとして、POCl₃を用いたが、

P 2 O₅を塗布しても良い。また、実施例 2、3 では化学エッチングした半導体基板の両面に高濃度の不純物を拡散しているが、機械研磨、或いは砥石によりラップ研磨された面に高濃度の不純物を拡散してもよい。さらに、この発明の半導体基板にあっては、高濃度不純物拡散層の厚さは、電極が取れしかも半導体基板自体の機械的強度が得られる厚さがあればよく、反対に高濃度不純物拡散層の厚さが大きいと、拡散工程での熱処理時間が長くなり生産性が悪い。なお、高濃度不純物拡散層の下層の低濃度基板非拡散部は、高濃度不純物層からの発塵、あるいは不純物ドーパ剤の裏面からの回り込みを抑えるために 5 μ m 以上の厚さは必要である。

【 0 0 2 5 】

【発明の効果】

従来、低耐圧用パワーデバイス基板を得るために用いられる基板は、チョクラルスキー法等による単結晶育成時において、砒素等を添加して製造された高濃度不純物基板を用いて製造されていたが、本発明により得られる半導体基板では、不純物を燐、ボロンとした低濃度基板を用いるので、素材としての製造コストが従来と比較して大幅に削減できる。このように、本発明によって得られる半導体基板は、一般的に低耐圧用（主に 1 0 $\Omega \cdot \text{cm}$ 以下）パワーデバイス基板を得る上で大きな効果を得ることができるが、本発明は中耐圧、高耐圧（主に 1 0 $\Omega \cdot \text{cm}$ 以上）にも広く適用が可能であることは言うまでもない。

【 0 0 2 6 】

また、本発明を基にパワー M O S F E T の半導体デバイスを製造したところ、高不純物基板部による直列抵抗成分が従来約 7 0 % 程度に抑えられ、基板の特性が大幅に改善できた。さらに、エピタキシャル製造工程時、あるいはパワーデバイス工程時において、裏面側に余計な保護膜をつけなくてもよいことが実証され、この点からもより製造コストの低減が可能である。

【図面の簡単な説明】

【図 1】

図 1 は、この発明の一実施例になる半導体基板の側面図で、（A）は N 型基板に N 型エピタキシャル層を形成した半導体基板（左図）と、P 型基板に P 型エ

ピタキシャル層を形成した半導体基板（右図）、（B）はN型基板にP型エピタキシャル層を形成した半導体基板（左図）と、P型基板にN型エピタキシャル層を形成した半導体基板（右図）。

【図 2】

図 2 は、この発明の一実施例になる半導体基板の製造方法を示す工程図。

【図 3】

図 3 は、この発明の他の一実施例になる半導体基板の製造方法を示す工程図。

【図 4】

図 4 は、この発明の他の一実施例になる半導体基板の製造方法を示す工程図。

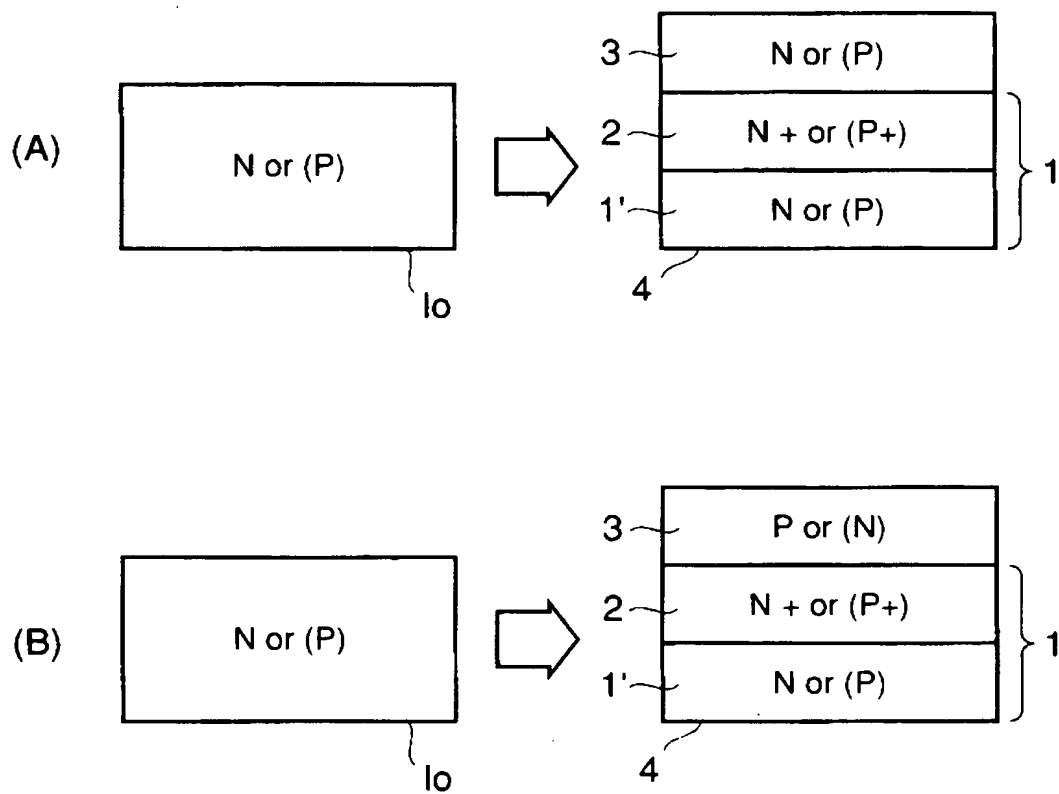
【符号の説明】

10…低濃度基板、1…高濃度不純物層形成基板、1'…非拡散部、2, 7, 9, 121, 122, 141, 142, 171, 172, 191, 192…高濃度不純物拡散層、3, 10, 15, 20…エピタキシャル層、4…裏面、5, 11…N型半導体基板、61, 62…酸化膜、8, 13…燐ガラス層、16…P型半導体基板、18…ボロンガラス層。

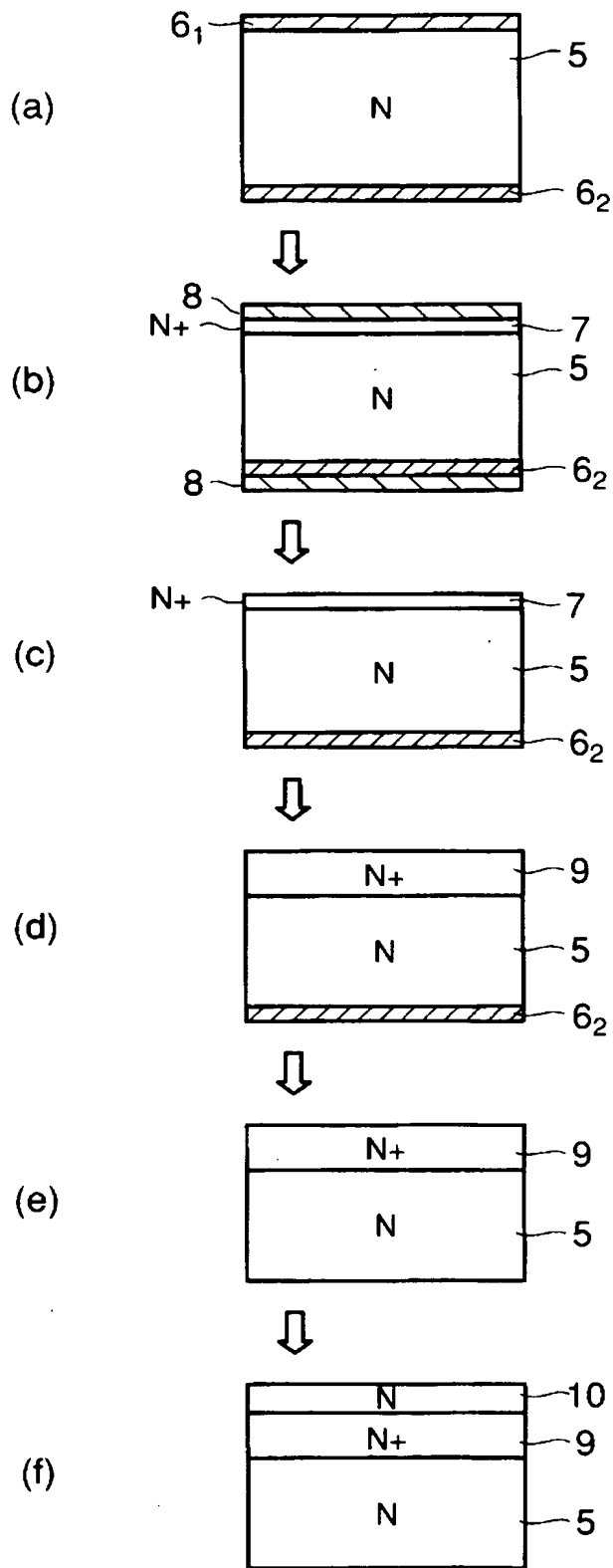
【書類名】

図面

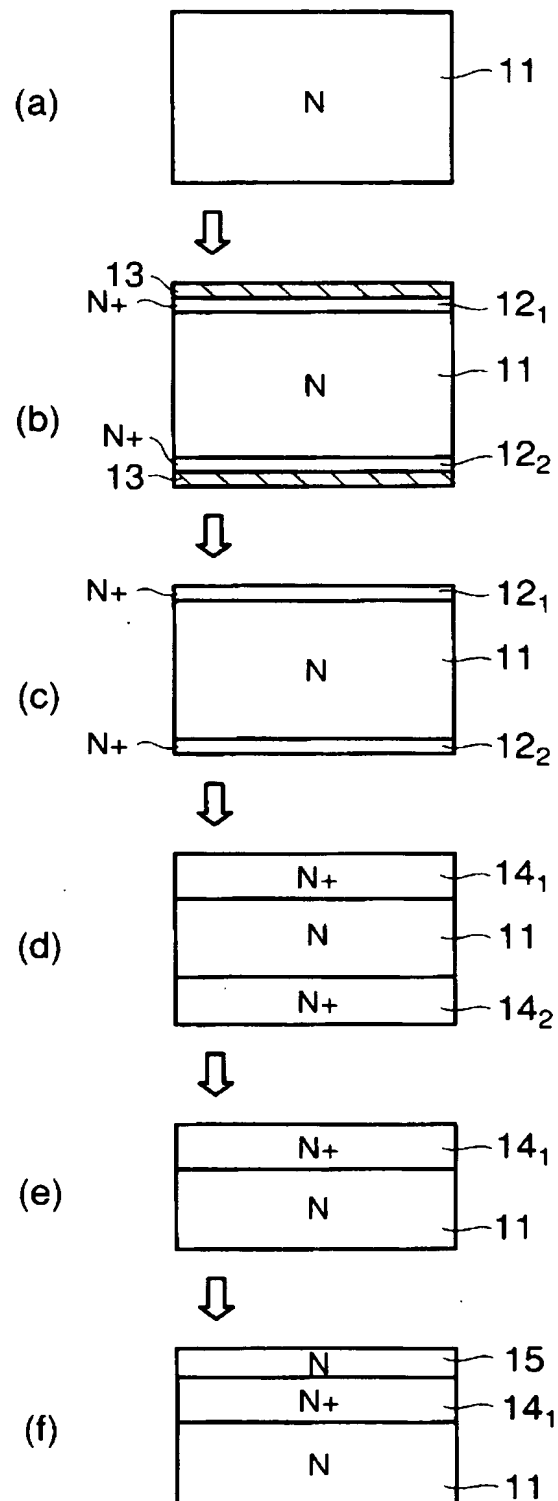
【図 1】



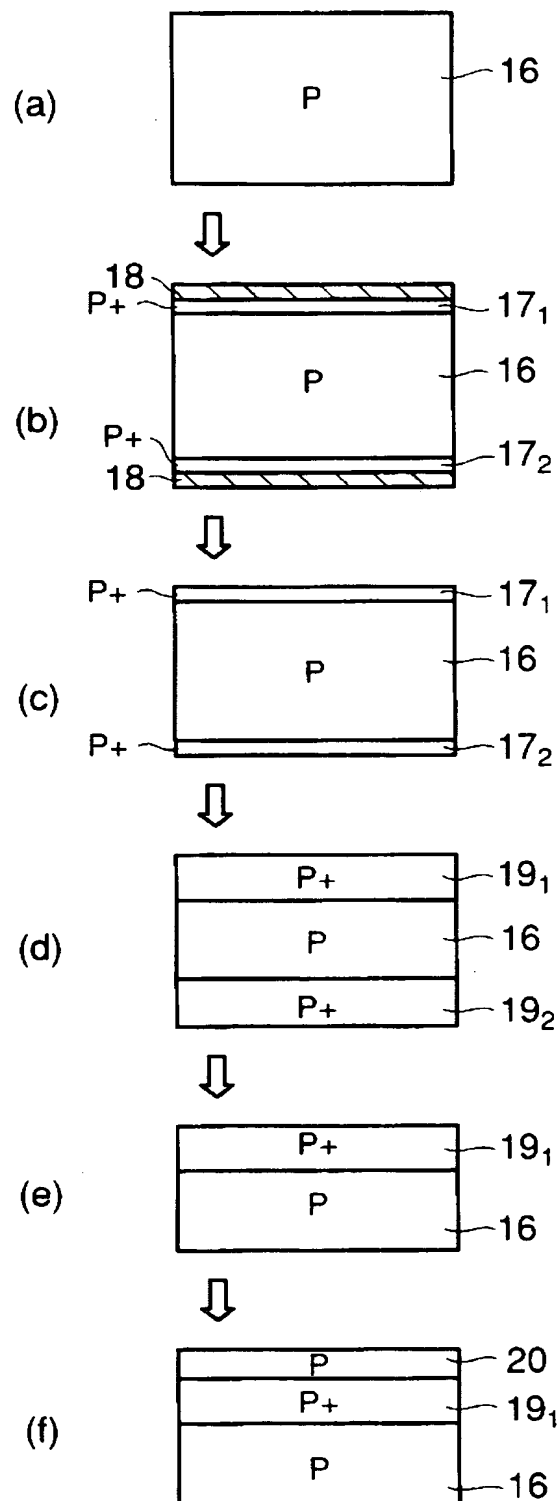
【図 2】



【図 3】



【図 4】



【書類名】 要約書

【要約】

【課題】 この発明は、低濃度の不純物を含有する基板に高濃度不純物拡散層を形成し、更にその上層に前記高濃度不純物拡散層より低濃度の不純物を含有するエピタキシャル層を形成した構造とすることで、ロット内で均一な抵抗を有する高濃度不純物拡散層を容易に形成することができ、しかも高濃度不純物拡散層裏面からの不純物の外方拡散を防ぐための保護膜を必要としない半導体基板を得ようとするものである。

【解決手段】 この発明は、不純物を低濃度で含有する低濃度基板 1 の上面全体に、該低濃度基板よりも不純物濃度の高い高濃度不純物拡散層 2 を形成し、この高濃度不純物拡散層の上面全体に該高濃度不純物拡散層より不純物を低濃度で含有するエピタキシャル層 3 を形成したことを特徴とする半導体基板である。

【選択図】 図 1

特願 2 0 0 2 - 3 3 3 6 8 2

出 願 人 履 歴 情 報

識別番号

[0 0 0 2 2 1 1 2 2]

1. 変更年月日

1 9 9 9 年 9 月 8 日

[変更理由]

住所変更

住 所

東京都新宿区西新宿七丁目 5 番 2 5 号

氏 名

東芝セラミックス株式会社

特願 2 0 0 2 - 3 3 3 6 8 2

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 0 7 8]

1. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝